

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-075510

(43)Date of publication of application : 26.03.1993

(51)Int.Cl. H04B 7/08
H04B 7/02

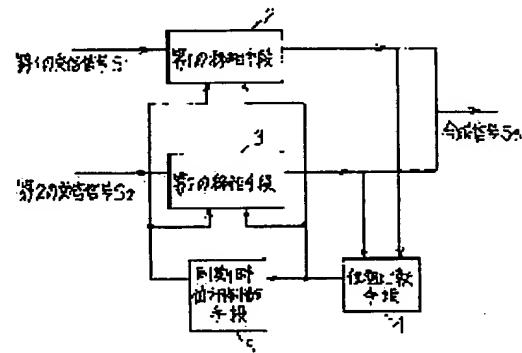
(21)Application number : 03-236729 (71)Applicant : FUJITSU LTD
(22)Date of filing : 18.09.1991 (72)Inventor : SHIBUYA YASUHIRO

(54) SPACE DIVERSITY IN-PHASE SYNTHESIZING CIRCUIT

(57)Abstract:

PURPOSE: To improve the in-phase accuracy and to prevent an antiphase pulling-in state by performing the phase control with a phase control signal in an in-phase state.

CONSTITUTION: 1st and 2nd reception signals S1 and S2 are synthesized via the phase shifting means 2 and 3 respectively and outputted as a synthetic signal S3. The means 2 shifts the phase in the direction opposite to that of the means 3, and the means 3 controls the phase of the signal S2 so as to secure the same phase between both signals S1 and S2. A phase comparator means 4 compares the output signals of both means 2 and 3 with each other. Based on the comparison result, a synchronous phase control means 5 holds the phase shifting direction set right before an in-phase state when the state is detected. At the same time, the means 5 produces the control signals to shift the phases of the reception signals at a low phase shifting speed set previously and then stops the production of these control signals when no synchronous state is detected through the preceding comparison. Then the control signals are sent to the means 2 and 3 from the means 5 in a synchronous state for execution of the phase shifting control.



LEGAL STATUS

[Date of request for examination] 17.11.1997

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3082337

[Date of registration] 30.06.2000

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C) 1998,2000 Japanese Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-75510

(43)公開日 平成5年(1993)3月26日

(51)Int.Cl ⁵ H 04 B 7/08 7/02	識別記号 D 9199-5K B 9199-5K	庁内整理番号 F I	技術表示箇所
--	--------------------------------	---------------	--------

審査請求 未請求 請求項の数1(全9頁)

(21)出願番号 特願平3-236729

(22)出願日 平成3年(1991)9月18日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72)発明者 渋谷 康弘

宮城県仙台市青葉区一番町1丁目2番25号

富士通東北デジタル・テクノロジ株式
会社内

(74)代理人 弁理士 井桁 貞一

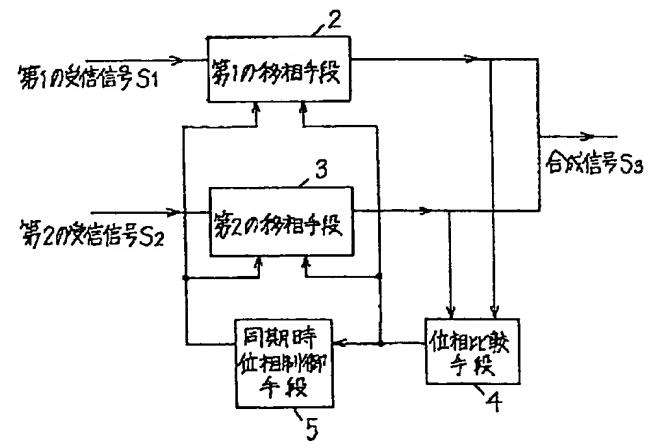
(54)【発明の名称】 スペースダイバーシティ同相合成回路

(57)【要約】

【目的】 デジタル多重無線装置に使用するスペースダイバーシティ同相合成回路に関し、同相時の精度向上および逆位相引込み防止が可能となる様にすることを目的とする。

【構成】 印加された該比較結果に対応して、入力した第1の受信信号の位相を移相して出力するが、該第2の移相手段の移相方向と逆の方向に同じ速度で移相する第1の移相手段2と、該位相比較手段から送出した該比較結果が同相状態であることを検出した時、移相方向が同相状態直前の方向を保持し、且つ、予め設定された低移相速度で第1、第2の受信信号の位相を移相させる制御信号を生成するが、非同期状態になった時、該制御信号の生成を停止する同期時位相制御手段5を設け、該同期状態にある時、該同期時位相制御手段からの制御信号を第1、第2の移相手段に送出して、該第1、第2の移相手段に移相制御を行わせるように構成する。

本発明の原理構成図



【特許請求の範囲】

【請求項 1】 第1の受信信号と第2の受信信号との位相を比較する位相比較手段(4)と、該位相比較手段からの比較結果に対応して、該第1の受信信号と第2の受信信号が同相となる様に第2の受信信号の位相を制御する第2の移相手段(3)を有し、該第1の受信信号と第2の受信信号とを同相合成するスペースダイバーシティ同相合成回路において、

該比較結果に対応して、入力した第1の受信信号の位相を移相して出力するが、該第2の移相手段の移相方向と逆の方向に移相する第1の移相手段(2)と、該位相比較手段から送出した該比較結果が同相状態であることを検出した時、移相方向が同相状態直前の方向を保持し、且つ、予め設定された低移相速度で第1、第2の受信信号の位相を移相させる制御信号を生成するが、該比較結果が同期状態でなくなったことを検出した時、該制御信号の生成を停止する同期時位相制御手段(5)を設け、該同期状態にある時、該同期時位相制御手段からの制御信号を第1、第2の移相手段に送出して、該第1、第2の移相手段に移相制御を行わせる構成にしたことを特徴とするスペースダイバーシティ同相合成回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、デジタル多重無線装置に使用するスペースダイバーシティ同相合成回路に関するものである。

【0002】 デジタル多重無線システムでは干渉性フェージングによって受信電力の低下や波形歪が発生して符号誤り率が低下する。これを救済する為、例えば、2つの受信信号を同相合成するスペースダイバーシティ方式が用いられることがあるが、この時、同相時の精度向上および逆位相引込み防止を可能にすることが必要である。

【0003】

【従来の技術】 図7は従来例の構成図、図8は問題点説明図で、(A)は問題点1の説明図、(B)は問題点2の説明図である。以下、図7の動作を説明する。

【0004】 先ず、共通の送信機からの送信信号を、空間的に離れて設けられた図示しない主アンテナと副アンテナで受信する。主アンテナからの受信信号S₁は分波器12で分岐され、一部はハイブリット14に加えられるが、残りの部分は位相差検出用自動利得制御増幅器15で所定出力レベルまで増幅されて乗算器17に加えられる。

【0005】 また、副アンテナからの受信信号S₂は無限移相器(以下、EPSと省略する)11を通った後、分波器13で分岐され、一部はハイブリット14に加えられ、ここで受信信号S₁と合成されて合成信号S₃として取り出される。また、残りの部分は位相差検出用自動利得制御増幅器16で所定出力レベルまで増幅された後、90度移相器(

図示せず)を介して乗算器17に加えられる。

【0006】 乗算器17は2つの受信信号を乗算して位相差に対応した電圧を取り出して電圧比較器181に送出する。電圧比較器181には予め設定されたしきい値が印加されているので、このしきい値を用いて、入力した電圧から受信信号S₂が受信信号S₁に対して位相が進んでいるのか、遅れているのか等を示す状態信号をアップダウンカウンタ(以下、U/Dカウンタと省略する)182に送出する。

【0007】 例えば、状態信号が00の時は同相状態、10は進み状態、01は遅れ状態を示す。U/Dカウンタ182は、00の時はカウント動作せず、10はアップ動作、01はダウン動作をして、カウント値をアドレスとしてROM183に送出する。なお、U/Dカウンタには所定速度のクロックCKが印加されているとする。

【0008】 さて、ROMには、種々のカウント値に対応して、EPSをどの程度、移相させるかの位相制御情報が書き込まれたテーブルが格納されているので、印加されたアドレスに対応する位相制御情報を取り出してデジタル/アナログ変換器(D/A変換器と省略する)184に送出する。

【0009】 D/A変換器184は印加されたデジタル信号をアナログ信号に変換してEPS11に送出するので、EPS11は印加されたアナログ信号に対応した移相量だけ、受信信号S₂の位相を移相する。

【0010】 これにより、受信信号S₁と受信信号S₂が同相状態になり、同相合成された合成信号S₃がハイブリット14から得られる。なお、EPSは同相点を中心として移相量が変動しているが、この変動により雑音が発生したり、誤り率が劣化する。そこで、これを防止する為、乗算器の出力電圧が0付近で電圧比較器が乗算器の出力電圧を検知しない様に不感帯を設けている。

【0011】

【発明が解決しようとする課題】 ここで、図7に示す様に、受信信号S₂の位相だけを制御する為、合成信号S₃の位相はEPSが制御されている間は図8(A)のS₃₀、S₃₁に示す様に位相が変化する。そこで、フェージングの影響を軽減する為にEPSの位相制御速度を早くすると、これに対応して合成信号S₃の位相変化も早くなるので、復調器(図示せず)で生成する再生キャリアの位相が充分に追従できず誤ったデータが出力されることになる。

【0012】 また、受信信号S₁と受信信号S₂が180度異なる逆位相の時(図8(B)のa₀、a₂の点)には乗算器から出力される電圧は0となる。一方、上記の様に電圧比較器は不感帯を設けているので、受信信号S₁と受信信号S₂が逆相の時にはEPSによる位相制御が行われないので、同相合成されず、逆相で安定すると云う2つの問題がある。

【0013】 本発明は、同相時の精度向上および逆位相引込み防止が可能となる様にすることを目的とする。

【0014】

【課題を解決するための手段】図1は本発明の原理構成図である。図中、2は比較結果に対応して、入力した第1の受信信号の位相を移相して出力するが、該第2の移相手段の移相方向と逆の方向に移相する第1の移相手段、3は位相比較手段からの比較結果に対応して、第1の受信信号と第2の受信信号が同相となる様に第2の受信信号の位相を制御する第2の移送手段、4は第1の受信信号と第2の受信信号との位相を比較する位相比較手段である。

【0015】5は該位相比較手段から送出した該比較結果が同相状態であることを検出した時、移相方向が同相状態直前の方向を保持し、且つ、予め設定された低移相速度で第1、第2の受信信号の位相を移相させる制御信号を生成するが、該比較結果が同期状態でなくなったことを検出した時、該制御信号の生成を停止する同期時位相制御手段である。

【0016】そして、該同期状態にある時、該同期時位相制御手段からの制御信号を第1、第2の移相手段に送出して、該第1、第2の移相手段に移相制御を行わせる構成にした。

【0017】

【作用】図2は図1の動作説明図で、(A)は本発明の同相合成方法を説明する為の図、(B)は同相時の精度向上および逆位相引込み防止を説明する為の図である。

【0018】以下、本発明の原理を図1、図2を参照して説明する。先ず、第1の制御手段を設けて第1の受信信号に対しても位相制御を行うが、この制御手段は第2の移相手段の移相方向と逆の方向に同じ速度で移相する。

【0019】さて、図2(A)-①に示す様に、第1の受信信号(実線)S₁と第2の受信信号(点線)S₂が同相状態にあったが、例えば、フェージングにより第1の受信信号S₁と第2の受信信号S₂との間に位相差θが生じたとすると(図2(A)-②参照)、第1の制御手段と第2の制御手段により、互いに逆方向に同じ速度で移相制御されるので、図2(A)-③に示す様に合成信号S₃の位相は変化せず、2つの受信信号はθ/2移相して同相状態となる。

【0020】次に、同相状態と云っても、上記の様に不感帯を設けてあるので、図2(B)-①の点線に示す様にある範囲θ(例えば、約14.4度)を持っている。今、第1の受信信号S₁と第2の受信信号S₂の位相がフェージングによりθ'に変化したとすると、第1、第2の移相手段で図2(B)-②に示す様に、互いに逆方向に移相して2つの受信信号が同相状態になったとする。

【0021】同期時位相制御手段は、同期状態に入ったことを位相比較手段からの比較結果により認識して、図2(B)-②と同じ方向に予め設定された低移相速度で移相させる制御信号を第1、第2の移相手段に送出するので、(即ち、スイープする)、2つ受信信号は完全な同

相状態になり、更に同相状態から除々離れて同相範囲からも外れる(図2(B)-③、④参照)。

【0022】この時点では、位相比較手段から同期範囲外に対応する比較結果が送出されるので、これが印加された第1、第2の制御手段は動作して再び、位相差が同期範囲に入る様に移相制御する(図2(B)-④参照)。

【0023】この制御は、第1、第2の受信信号が同相範囲に入っている間、同期時位相制御手段により繰り返えされる。これにより、逆相で引き込まれていても、同期時位相制御手段により低速でスイープすることにより、引き込まれた状態から外れるので、同相状態に入ることができる。また、同相範囲を低速でスイープするので、同相時の精度(平均値)が向上する。

【0024】

【実施例】図3は本発明の実施例の構成図、図4は図3中の位相制御部構成図の一例、図5は図3中の同相時位相制御回路の構成図の一例で、(A)は組合せ論理回路部分のブロック図、(B)は出力部分のブロック図、(C)は低速クロック出力部分のブロック図である。

【0025】また、図6は図5の動作説明図で、(A)は図5の(A)に対するタイムチャート、(B)は図5の(B)に対するタイムチャートである。ここで、図6の左側の符号は図5中の同じ符号の部分の動作波形である。

【0026】以下、図4～図6を参照して図3の動作を説明する。先ず、受信信号S₁は無限移相器(以下、EPSと省略する)21を通った後、分波器22で分岐され、一部はハイブリッド23に加えられるが、残りの部分は位相差検出用自動利得制御増幅器41で所定出力レベルまで増幅されて乗算器43に加えられる。

【0027】受信信号S₂はEPS 31を通った後、分波器22で分岐され、一部はハイブリッド23に加えられ、ここで受信信号S₁と合成されて合成信号S₃として取り出される。また、残りの部分は位相差検出用自動利得制御増幅器16で所定出力レベルまで増幅された後、90度移相器(図示せず)を介して乗算器17に加えられるので、乗算器43は2つの受信信号を乗算して位相差に対応した位相差電圧を取り出して図4の位相制御部内の電圧比較器部分441に送出する。

【0028】電圧比較器部分441は、しきい値V₁を持つ比較器C₁と、しきい値V₂を持つ比較器C₂とで構成されているので、入力した位相差電圧はこれらの比較器でしきい値と比較される。そして、電圧比較器部分441から0, 01, 10のうちの何れか1つが出力されるが、例えば比較器C₁から1が、比較器C₂から0が出力されたとする。

【0029】比較器C₁、比較器C₂からの1, 0は、対応するフリップフロップ(以下、FFと省略する)442, 444にそれぞれ加えられるが、これらのFFにはクロックC Kが入力しているので、FF 442で2分周されたクロックがORゲート443を介してアップダウンカウンタ(以

下、U/D カウンタと省略する)33, 24に加えられる。

【0030】なお、FF 444から0が出力される。また、クロックの印加は一方がU側の時は、他方はD側になっているので、U/D カウンタ33はアップカウント動作、U/D カウンタ24はダウンカウント動作をする。

【0031】さて、U/D カウンタ33, 24は、それぞれ入力する分周クロックをカウントしてカウント値をアップ、ダウンしているが、このカウント値に対応する位相制御情報を、対応するROM 34, 25から取り出してデジタル／アナログ変換器35, 26に送出する。

【0032】デジタル／アナログ変換器35, 26は位相制御情報をアナログ信号に変換して図3のEPS 31, 21に加え、それぞれのEPS の移相量を対応する量だけ制御するが、この制御は図2(A) の②で説明した様に移相方向が相互に逆方向になる。

【0033】これにより、受信信号S₁と受信信号S₂が同相状態になるが、移送制御中の合成信号の位相は変化しない。次に、同相状態になると、図4の電圧比較器部分441 から、00がFF 442, 444と同相時位相制御回路5に加えられるので、前者は共に0を出力してORゲートをオン状態にする。一方、後者は予め設定された低移相速度のクロックを、オン状態になったORゲートを介して、移相方向が同相状態直前の方向をそのまま保つ様にU/D カウンタに送出するが、同期状態から外れたら、再び元の方に戻る様にU/D カウンタに送出する(以下に後述する)。

【0034】さて、同相時位相制御回路は図5に示す様に、(A), (B), (C) の部分から構成されているので、図6を参照して各部の動作を説明する。ここで、511～513はAND ゲート、514, 515はOR ゲート、516, 517はF, INV 1～INV 3 はインバータである。

【0035】図5(A) は図4の電圧比較部分441 からの信号a, bとFF 516, 517の出力信号X, Y(現在の状態を示す信号) とから、次の状態X', Y' を決定する組合せ論理回路である。なお、FF 516, 517 は状態を格納する為のものである。

【0036】ここで、(A) の内、FFを除く部分は下記の様な論理式が実行できる様に構成されている。

$$X' = *a *b x + *a b \quad \dots (1)$$

$$Y' = *a b + *a *b *x \quad \dots (2)$$

但し、*aは信号a の反転信号である。

【0037】そして、図6(A) は図5のタイムチャートであるが、電圧比較部分の出力a, bとFFの出力X, Yに対して(1), (2)に示す論理処理を行ってX', Y' の2つのFF入力信号が得られるが、このX', Y' はFF 516, 517 にクロックが加えられた時点で出力信号になる。また、X, Yが

① 00の時は通常の位相制御状態(同相状態に入っていない) で、U/D カウンタ33はアップカウント動作、U/D カウンタ24はダウンカウント動作になる。

② 01の時は同相状態で、U/D カウンタ33はアップカウント動作になる。

③ 10の時は同相状態で、U/D カウンタ33はダウンカウント動作になる。

④ 11の時は通常の位相制御状態(同期状態に入っていない) で、U/D カウンタ33はダウンカウント動作になる。

【0038】図5(B) は下記の論理式で構成されている。

$$e = *x y \quad \dots (3)$$

$$f = x *y \quad \dots (4)$$

そして、図5(B) のタイムチャートを図6(B) に示してあるが、FF 516, 517の出力信号を(3), (4)に示す処理を行って、e, fを出力するが、図5(C) に示す様に、e またはf がH の時にAND 524, 525 を介して分周器526で分周された低速のクロックが、c またはd から、図4のOR ゲート443 または445 を介して2つのU/D カウンタに加えられる。

【0039】ここで、図6のg の部分の範囲について説明する。図4の電圧比較部分441 の出力(図6(A) の①, ②) が01(同相状態でない) の為、図5(A) のFF 516, 517 の出力(図6(A) の③, ④) は11となる。この為、図5(B) のAND ゲート521, 523の出力(図6(B) の③, ④) は00となり、図5(C) のAND ゲート524, 525はオフ状態となり、これらのゲートから00が出力される(図6のイの↓の部分)。

【0040】これは、通常の制御状態で、電圧比較部分441 からの01により、U/D カウンタ33はダウンカウント動作をしている。当然、U/D カウンタ24はアップカウント動作をしている。

【0041】そして、同相範囲にはいると、口の↓に示す様に図6(A) の①, ② が00の為、図5(A) のFF 516, 517 の出力(図6(A) の③, ④) は10となる。この為、図5(B) のAND ゲート521, 523の出力(図6(B) の③, ④) は10となり、図5(C) のAND ゲート524 がオフ状態、525 はオン状態となり、AND ゲート525 から低速のクロックが出力され、同相直前の移相方向に移相される。

【0042】即ち、合成信号の位相が変化しない為、無限移相器の回転速度が早くできると共に、同相時でも制御が行われるので同相時の精度が向上し逆位相引込みの防止が図られる。

【0043】

【発明の効果】以上詳細に説明した様に本発明によれば、同相時の精度向上および逆位相引込み防止が可能となると云う効果がある。また、フージング耐力が向上する。

【図面の簡単な説明】

【図1】本発明の原理構成図である。

【図2】図1の動作説明図で、(A) は本発明の同相合成

方法を説明する為の図、(B) は同相時の精度向上および逆位相引込み防止を説明する為の図である。

【図3】本発明の実施例の構成図である。

【図4】図3中の位相制御部構成図の一例である。

【図5】図3中の同相時位相制御回路の構成図の一例で、(A) は組合せ論理回路部分のブロック図、(B) は出力部分のブロック図、(C) は低速クロック出力部分のブロック図である。

【図6】図5の動作説明図で、(A) は図5の(A) に対するタイムチャート、(B) は図5の(B) に対するタイムチ

ャートである。

【図7】従来例の構成図である。

【図8】問題点説明図で、(A) は問題点1の説明図、

(B) は問題点2の説明図である。

【符号の説明】

2 第1の移相手段

3 第2の移相

手段

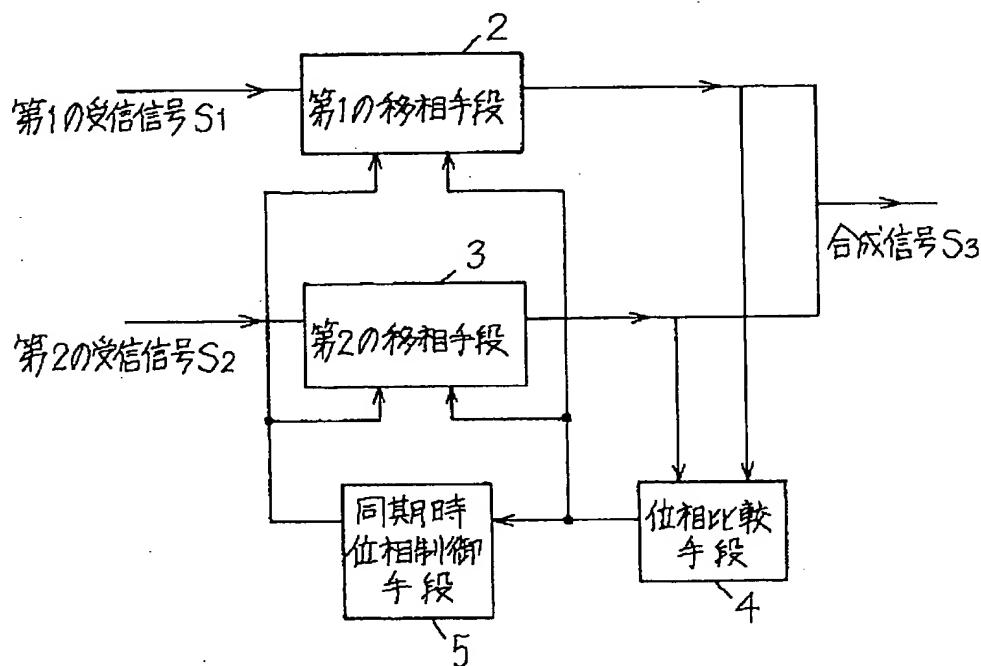
4 位相比較手段

5 同期時位相

制御手段

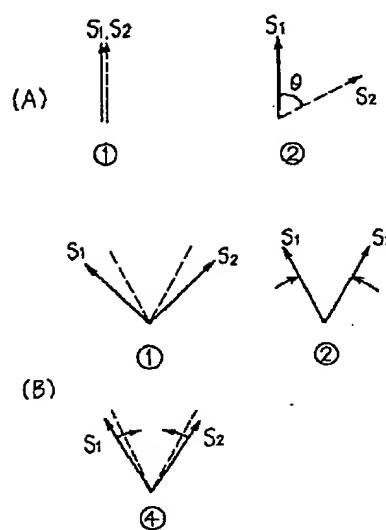
【図1】

本発明の原理構成図



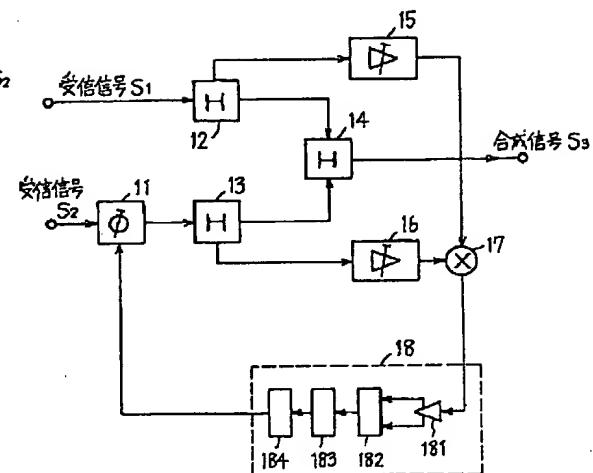
【図2】

図1の動作説明図



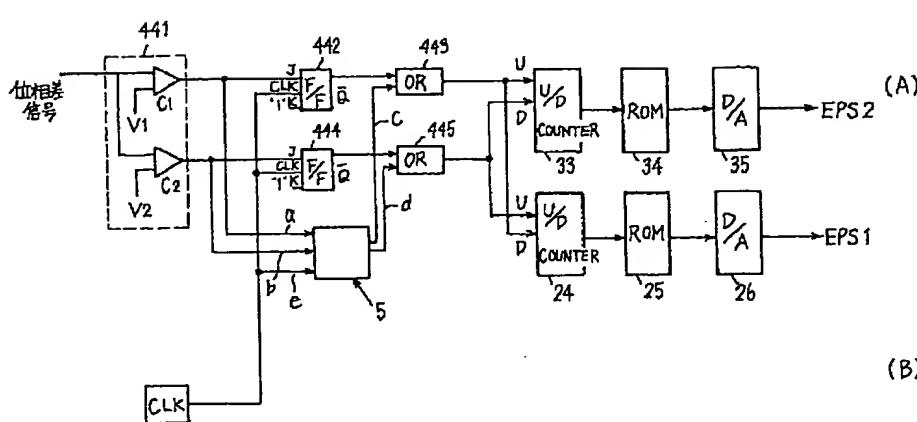
【図7】

従来例の構成図



【図4】

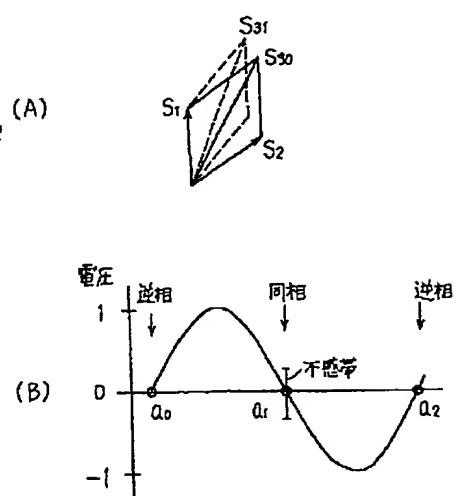
図3中の位相制御部構成図の一例



【図8】

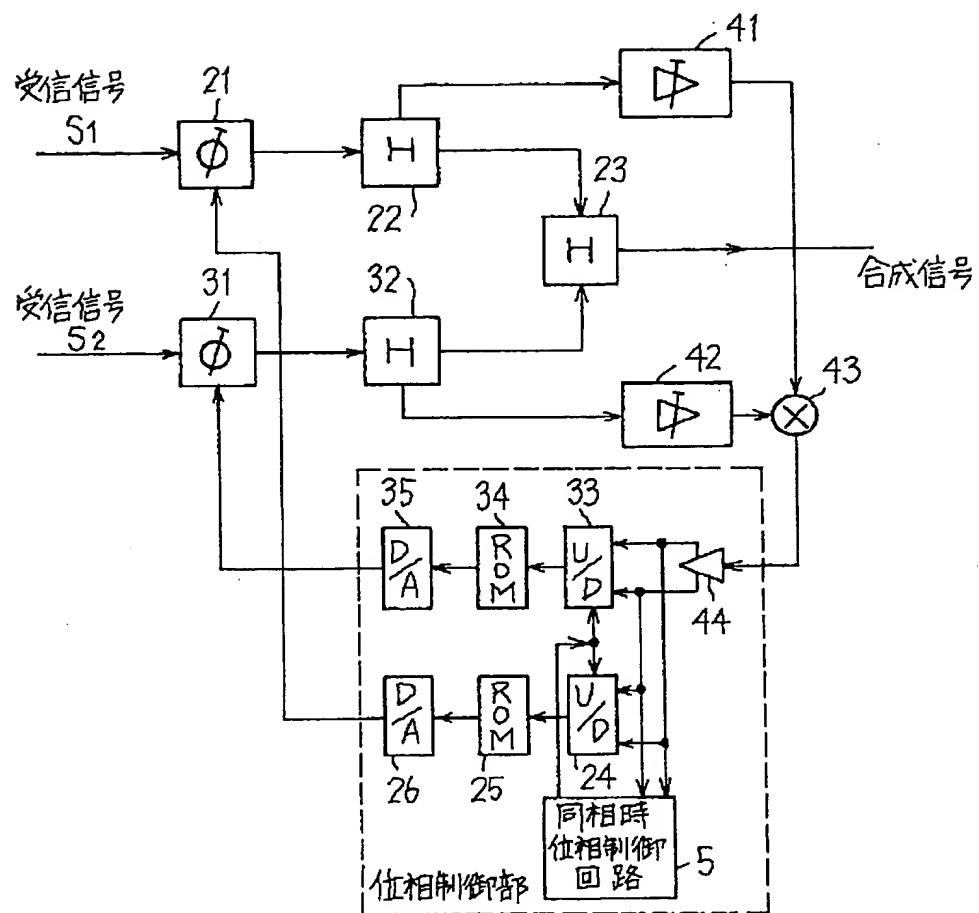
問題点説明図

図3中の位相制御部構成図の一例



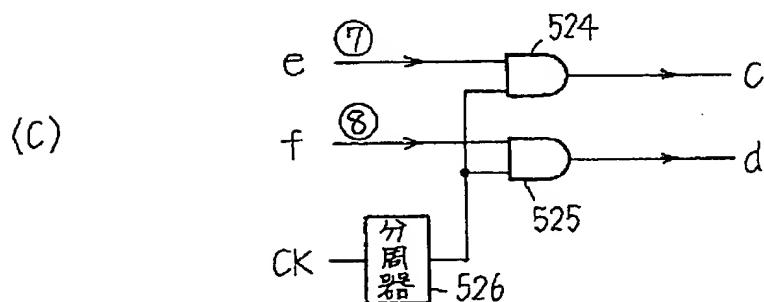
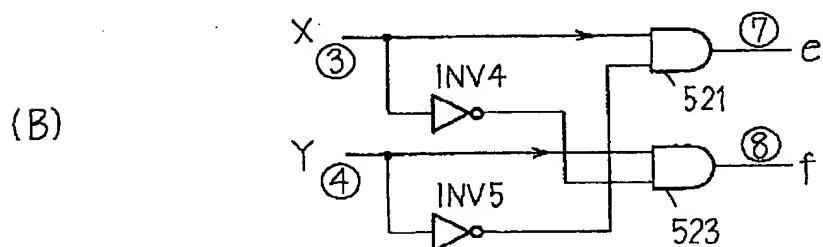
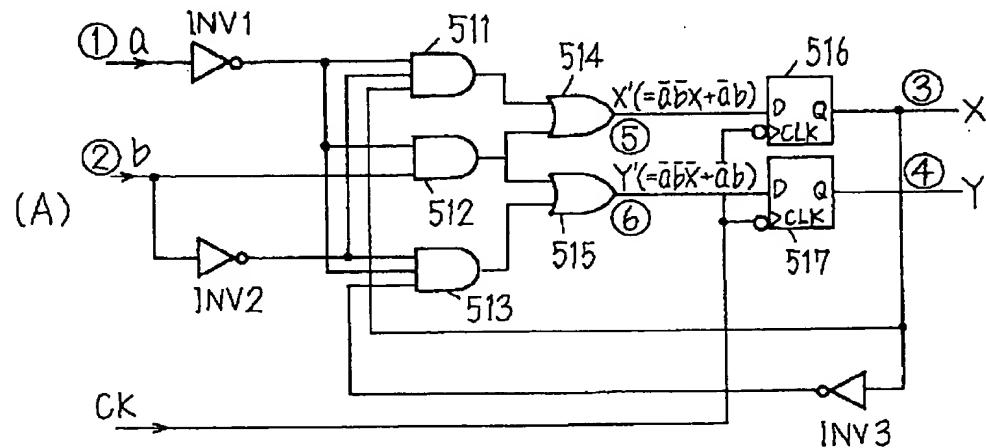
【図3】

本発明の実施例の構成図



【図5】

図3中の同相時位相制御回路の構成図の一例



【図6】

図5の動作説明図

